

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-077613

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H01L 27/08

(21)Application number : 10-244049

(71)Applicant : NEC CORP

(22)Date of filing : 28.08.1998

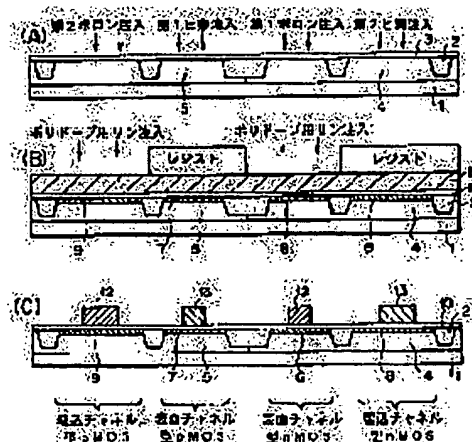
(72)Inventor : IMAI KIYOTAKA

## (54) MANUFACTURE FOR SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent a part in which an impurity concentration is low from developing in a gate electrode.

**SOLUTION:** In this manufacturing method for a semiconductor device having a surface channel nMOS and a buried channel nMOS, and a surface channel pMOS and a buried channel pMOS on the same substrate 1, an n+ impurity is introduced before patterning a polycrystal semiconductor layer constituting each gate electrode of the surface channel nMOS and the buried channel pMOS, and also a p+ impurity is introduced before patterning a polycrystal semiconductor layer constituting each gate electrode of the surface channel pMOS and the buried channel nMOS.



## LEGAL STATUS

[Date of request for examination] 28.08.1998

[Date of sending the examiner's decision of rejection] 26.04.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-77613  
(P2000-77613A)

(43)公開日 平成12年3月14日(2000.3.14)

(51)Int.Cl.  
H 0 1 L 27/08

識別記号  
3 3 1

F I  
H 0 1 L 27/08

テーマコード(参考)  
3 3 1 A 5 F 0 4 8

審査請求 有 請求項の数 2 O L (全 7 頁)

(21)出願番号 特願平10-244049

(22)出願日 平成10年8月28日(1998.8.28)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 今井 清隆

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100065385

弁理士 山下 隼平

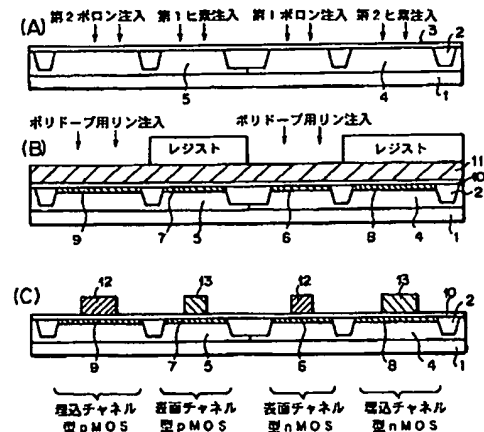
Fターム(参考) 5F048 AA07 AC03 BB06 BB07 BB08  
BD04 BD05 BD03 BG12

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ゲート電極に不純物濃度の低い部分が生ずる。

【解決手段】 同一基板上に、表面チャネル型nMOSと埋込チャネル型nMOSおよび表面チャネル型pMOSと埋込チャネル型pMOSを有する半導体装置の製造方法において、表面チャネル型nMOSと埋込チャネル型pMOSの各ゲート電極を構成する多結晶半導体層がパターニングされる前にn<sup>+</sup>不純物を導入し、かつ表面チャネル型pMOSと埋込チャネル型nMOSの各ゲート電極を構成する多結晶半導体層がパターニングされる前にp<sup>+</sup>不純物を導入する。



- 埋込チャネル型pMOS    表面チャネル型pMOS    表面チャネル型nMOS    埋込チャネル型nMOS
- 1 : p型シリコン基板  
2 : 電子分離領域  
3 : 埋込酸化膜  
4 : pウェル  
5 : nウェル  
6 : nMOS表面チャネル領域  
7 : pMOS表面チャネル領域  
8 : nMOS埋込チャネル領域  
9 : pMOS埋込チャネル領域  
10 : ゲート酸化膜  
11 : ボロンドープポリシリコン  
12 : リンドープポリシリコンゲート電極  
13 : ボロンドープポリシリコンゲート電極

#### 【特許請求の範囲】

【請求項1】 同一基板上に、第一導電型の表面チャンネル型絶縁ゲート電界効果トランジスタと埋込チャンネル型絶縁ゲート電界効果トランジスタ、および第二導電型の表面チャンネル型絶縁ゲートトランジスタと埋込チャンネル型絶縁ゲート電界効果トランジスタ、を有する半導体装置の製造方法において、

前記第一導電型の表面チャンネル型絶縁ゲート電界効果トランジスタと前記第二導電型の埋込チャンネル型絶縁ゲート電界効果トランジスタとの各ゲート電極を構成する多結晶半導体層がパターニングされる前に第一導電型の不純物を導入し、かつ前記第二導電型の表面チャンネル型電界効果トランジスタと前記第一導電型の埋込チャンネル型絶縁ゲート電界効果トランジスタとの各ゲート電極を構成する多結晶半導体層がパターニングされる前に第二導電型の不純物を導入することを特徴とする半導体装置の製造方法。

【請求項2】 前記第一及び第二導電型の埋込チャンネル型絶縁ゲート電界効果トランジスタのソースドレイン領域形成のための不純物イオン注入時に、ゲート電極上に該不純物イオンが注入されないように遮蔽膜を設けたことを特徴とする請求項1に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係わり、特に、同一基板上に、第一導電型の表面チャンネル型絶縁ゲート電界効果トランジスタと埋込チャンネル型絶縁ゲート電界効果トランジスタ、および第二導電型の表面チャンネル型絶縁ゲートトランジスタと埋込チャンネル型絶縁ゲート電界効果トランジスタ、を有する半導体装置の製造方法に関する。

##### 【0002】

【従来の技術】MOSFETのチャンネル構造として、表面チャンネル型と埋込チャンネル型が存在する。デジタル回路用CMOSプロセスにおいて、nMOSとpMOSは共に表面チャンネル型構造が用いられている。これは表面チャンネル型のほうがショートチャンネル効果を抑制しやすいためである。しかしながらアナログ回路には表面チャンネル型よりも埋込チャンネル型のほうが適している。なぜなら、表面チャンネル型MOSの場合、チャンネルを通過するキャリアがシリコン基板と酸化膜界面の散乱の影響を受けるためノイズが大きいが、埋込チャンネル型MOSではチャンネルがシリコン基板内に形成されるためノイズが小さくなるからである。

【0003】表面チャンネル型MOSと埋込チャンネル型MOSの構造的な大きな違いを以下に述べる。表面チャンネル型においては、基板もしくはウェル領域の不純物の型とポリシリコンからなるゲート電極中の不純物の型が異なるのに対し、埋込チャンネル型においては、基板もしくは

はウェル領域の不純物の型とポリシリコンからなるゲート電極中の不純物の型が一致する。例えば、表面チャンネル型nMOSのウェル領域はp型であり、ポリシリコンからなるゲート電極はn<sup>+</sup>型である。一方、埋込チャンネル型nMOSのウェル領域はp型であり、ポリシリコンからなるゲート電極はp<sup>+</sup>型である。

【0004】図5及び図6に従来方法による表面チャンネル型MOSと埋込チャンネル型MOSの製造方法を示す。

【0005】図5(A)に示すように、p型シリコン基板1上に素子分離領域2を形成し、犠牲酸化膜3を成長後、nMOS形成領域にpウェル4、pMOS形成領域にnウェル5を形成する。

【0006】その後、pウェル4上の表面チャンネル型nMOS形成領域に、しきい値制御の為に第1ボロン注入を行い、表面の不純物濃度をよりp型化してnMOS表面チャンネル領域6を形成する。同様に、nウェル5上の表面チャンネルpMOS形成領域に、しきい値制御用の第1ヒ素注入を行い、表面の不純物濃度をよりn型化してpMOS表面チャンネル領域7を形成する。

【0007】次に、pウェル4上の埋込チャンネルnMOS形成領域に、しきい値制御のための第2ヒ素注入を行い、シリコン表面から50～150nmの深さにpウェル4をn型に打ち返して形成したnMOS埋込チャンネル領域8を形成する。同様に、nウェル5上の埋込チャンネルpMOS形成領域に、しきい値制御のための第2ボロン注入を行い、シリコン表面から50～150nmの深さにnウェル5をp型に打ち返して形成したpMOS埋込チャンネル領域9を形成する。

【0008】次に図5(B)に示すように、犠牲酸化膜3を除去後、ゲート酸化膜10を成長し、さらにノンドープポリシリコン21を成長した後、フォトリソグラフィ工程を経てレジストをパターニングする。

【0009】次に図5(C)に示すように、ノンドープポリシリコン21をエッチングしてノンドープポリシリコン電極22を形成する。

【0010】次に図6(D)に示すように、表面チャンネル型nMOSのノンドープポリシリコン電極22上と拡散層形成領域、埋込チャンネル型nMOSの拡散層形成領域、埋込チャンネル型pMOSのノンドープポリシリコン電極22上に選択的にSD(ソース・ドレイン)ヒ素注入を行う。

【0011】この時、埋込チャンネル型nMOSのノンドープポリシリコンゲート電極22を覆うレジストは、n<sup>+</sup>ソース/ドレイン領域18がノンドープポリシリコンゲート電極22に対してオフセットにならないようにノンドープポリシリコンゲート電極22のエッジから一定のマージンをもって内側に位置している。

【0012】また、埋込チャンネル型pMOSの拡散層を覆うレジストは、SDヒ素が拡散層に入らないようにするため、ノンドープポリシリコンゲート電極22のエッ

ジから一定のマージンをもって内側に位置している。

【0013】次に図6(E)に示すように、表面チャネルpMOSのノンドープポリシリコン電極22上と拡散層形成領域、埋込チャネルpMOSの拡散層形成領域、埋込チャネルnMOSのノンドープポリシリコン電極22上に選択的にSDボロン注入を行う。

【0014】この時、埋込チャネル型pMOSのノンドープポリシリコンゲート電極22を覆うレジストは、p<sup>+</sup>ソース/ドレイン領域19がノンドープポリシリコンゲート電極22に対してオフセットにならないようにノンドープポリシリコンゲート電極22のエッジから一定のマージンをもって内側に位置している。

【0015】また、埋込チャネル型nMOSの拡散層を覆うレジストは、SDボロンが拡散層に入らないようにするため、ノンドープポリシリコンゲート電極22のエッジから一定のマージンをもって内側に位置している。

【0016】次に図6(F)に示すように、熱処理を行ってヒ素およびボロンの活性化を行う。

【0017】この結果、表面チャネル型nMOSおよび埋込チャネル型nMOSのn<sup>+</sup>ソース/ドレイン領域18、表面チャネル型pMOSおよび埋込チャネル型pMOSのp<sup>+</sup>ソース/ドレイン領域19が形成される。また、表面チャネル型nMOSのノンドープポリシリコンゲート電極22にはSDヒ素が追加されてn<sup>+</sup>ポリシリコンゲート電極23となり、表面チャネル型pMOSのノンドープポリシリコンゲート電極22にはSDボロンが追加されてp<sup>+</sup>ポリシリコンゲート電極24となり、埋込チャネル型nMOSのノンドープポリシリコンゲート電極22にはSDボロンが追加されてp<sup>+</sup>ポリシリコンゲート電極25となり、埋込チャネル型pMOSのノンドープポリシリコンゲート電極22にはSDヒ素が追加されてn<sup>+</sup>ポリシリコンゲート電極26となる。

【0018】

【発明が解決しようとする課題】以上、従来方法による表面チャネル型MOSと埋込チャネル型MOSの製造方法を示したが、ここで問題となるのは図6(F)に示されるように、埋込チャネルnMOSのp<sup>+</sup>ポリシリコンゲート電極25の両端には、SDヒ素が注入され、かつSDボロンが注入されない領域が存在する。この領域は熱処理後、SDボロンが注入されたゲートポリシリコン中央部からのボロンの拡散によってSDヒ素注入部分がコンベンセントされ(捕われ)p型不純物濃度の低いp<sup>-</sup>ポリシリコン領域27となる。同様に埋込チャネルpMOSのn<sup>+</sup>ポリシリコンゲート電極26の両端にはn型不純物濃度の低いn<sup>-</sup>ポリシリコン領域28が存在する。

【0019】埋込チャネル型nMOSにおいて、不純物濃度の低いp<sup>-</sup>ポリシリコン領域27は本来の不純物濃度の高いp<sup>+</sup>ポリシリコンゲート電極25と仕事関数が異なる。この結果、p<sup>+</sup>ポリシリコンゲート電極25に

覆われるトランジスタ中心部とp<sup>-</sup>ポリシリコン領域27に覆われるトランジスタエッジ部のしきい値が異なってしまうという問題を生じる。また、ゲートポリシリコン電極全体の層抵抗も表面チャネル型pMOS上のp<sup>+</sup>ポリシリコンゲート電極24のみで形成された場合よりも高くなってしまふ。さらに、ゲートポリシリコン電極および拡散層抵抗を下げるためのシリサイドを行った場合、金属とシリコンのシリサイド反応は、シリコン中の不純物濃度に大きく依存しているため、異なる濃度を有するポリシリコン電極を均一にシリサイド化するのは困難である。以上の問題は埋込チャネル型pMOSにも当てはまる。

【0020】なお、埋込チャネル型MOSトランジスタのゲート電極の導電型をチャネルタイプと逆の導電型とすることは特公平5-56022号公報に記載されている。また、全面にp型不純物を導入した多結晶シリコン層を形成し、ゲート電極をパターンニングした後、NチャネルMOSトランジスタのソースドレイン領域形成のためのn型不純物の砒素をイオン注入し、PチャネルMOSトランジスタのソースドレイン領域形成のためのp型不純物の砒素をイオン注入し、それぞれ埋込チャネル型、表面チャネル型とすることが特開昭61-174664号公報に記載されている。

【0021】

【課題を解決するための手段】本発明の半導体装置の製造方法は、同一基板上に、第一導電型の表面チャネル型絶縁ゲート電界効果トランジスタと埋込チャネル型絶縁ゲート電界効果トランジスタ、および第二導電型の表面チャネル型絶縁ゲートトランジスタと埋込チャネル型絶縁ゲート電界効果トランジスタ、を有する半導体装置の製造方法において、前記第一導電型の表面チャネル型絶縁ゲート電界効果トランジスタと前記第二導電型の埋込チャネル型絶縁ゲート電界効果トランジスタとの各ゲート電極を構成する多結晶半導体層がパターンニングされる前に第一導電型の不純物を導入し、かつ前記第二導電型の表面チャネル型電界効果トランジスタと前記第一導電型の埋込チャネル型絶縁ゲート電界効果トランジスタとの各ゲート電極を構成する多結晶半導体層がパターンニングされる前に第二導電型の不純物を導入することを特徴とする。

【0022】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。なお、以下の実施例としては絶縁ゲートトランジスタ(MISトランジスタ)としてMOSトランジスタを例にとって説明する。

(第1実施例)図1及び図2は本発明の第1実施例による表面チャネル型MOSと埋込チャネル型MOSの製造方法を用いた製造工程を示す断面図である。

【0023】図2(F)は本発明の製造方法を用いて、同一基板上に表面チャネル型nMOSと表面チャネル型

pMOS、さらに埋込チャネル型nMOSと埋込チャネル型pMOSを形成した場合の断面図を示す。

【0024】図2(F)に示すように、p型シリコン基板1上に素子分離領域2が形成され、nMOS形成領域にpウェル4、pMOS形成領域にnウェル5を有し、その上にゲート絶縁膜10を有する。

【0025】表面チャネル型nMOSはpウェル4の表面に表面チャネル領域6が形成され、その上にゲート絶縁膜10およびn<sup>+</sup>ポリシリコンゲート電極14が形成され、拡散層上にn<sup>+</sup>ソース/ドレイン領域18が形成された構造を有する。

【0026】表面チャネル型pMOSはnウェル5の表面に表面チャネル領域7が形成され、その上にゲート絶縁膜10およびp<sup>+</sup>ポリシリコンゲート電極15が形成され、拡散層上にp<sup>+</sup>ソース/ドレイン領域19が形成された構造を有する。

【0027】埋込チャネル型nMOSはpウェル4の表面に埋込チャネル領域8が形成され、その上にゲート絶縁膜10およびp<sup>+</sup>ポリシリコンゲート電極16が形成され、拡散層上にn<sup>+</sup>ソース/ドレイン領域18が形成された構造を有する。

【0028】埋込チャネル型pMOSはnウェル5の表面に埋込チャネル領域9が形成され、その上にゲート絶縁膜10およびn<sup>+</sup>ポリシリコンゲート電極17が形成され、拡散層上にp<sup>+</sup>ソース/ドレイン領域19が形成された構造を有する。

【0029】以下、本発明の表面チャネル型MOSと埋込チャネル型MOSの製造方法について図1及び図2を用いて説明する。

【0030】図1(A)に示すように、p型シリコン基板1上に素子分離領域2を形成し、犠牲酸化膜3を成長後、nMOS形成領域にpウェル4、pMOS形成領域にnウェル5を形成する。

【0031】その後、pウェル4上の表面チャネル型nMOSを形成する領域に、しきい値制御のための第1ボロン注入を行い、表面の不純物濃度をよりp型化してnMOS表面チャネル領域6を形成する。同様に、nウェル5上の表面チャネル型pMOS形成領域に、しきい値制御のための第1ヒ素注入を行い、表面の不純物濃度をよりn型化してpMOS表面チャネル領域7を形成する。

【0032】次に、pウェル4上の埋込チャネル型nMOS形成領域に、しきい値制御のための第2ヒ素注入を行い、シリコン表面から50~150nmの深さにpウェル4をn型に打ち返して形成したnMOS埋込チャネル領域8を形成する。同様に、nウェル5上の埋込チャネルpMOS形成領域に、しきい値制御のための第2ボロン注入を行い、シリコン表面から50~150nmの深さにnウェル5をp型に打ち返して形成したpMOS埋込チャネル領域9を形成する。

【0033】次に図1(B)に示すように、犠牲酸化膜

3を除去後、ゲート酸化膜10を成長し、さらにボロンドープポリシリコン11を成長した後、フォトリソグラフィ工程を経てレジストをパターニングして表面チャネル型nMOS領域上のボロンドープポリシリコン11、および埋込チャネル型pMOS領域上のボロンドープポリシリコン11中に選択的にリンを注入する。ボロンドープポリシリコン11中のボロン濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の場合、リンを $5 \times 10^{15} \text{ cm}^{-2}$ 注入することにより、リンが注入された部分はn<sup>+</sup>型とする。

【0034】次に図1(C)に示すように、ポリシリコン11をエッチングしてゲート電極を形成するが、表面チャネル型nMOSおよび埋込チャネル型pMOSにはリンドープポリシリコンゲート電極12が、表面チャネル型pMOSおよび埋込チャネル型nMOSにはボロンドープポリシリコンゲート電極13がそれぞれ形成される。

【0035】次に図2(D)に示すように、表面チャネル型nMOSのリンドープポリシリコンゲート電極12上と拡散層形成領域、埋込チャネル型nMOSの拡散層形成領域、埋込チャネル型pMOSのリンドープポリシリコンゲート電極12上に選択的にSDヒ素注入を行う。

【0036】この時、埋込チャネル型nMOSのボロンドープポリシリコンゲート電極13を覆うレジスト(ゲート電極へのイオン注入防止用の遮蔽膜となる)は、n<sup>+</sup>ソース/ドレイン領域18がボロンドープポリシリコンゲート電極13に対してオフセットにならないようにボロンドープポリシリコンゲート電極13のエッジから一定のマージンをもって内側に位置している。

【0037】また、埋込チャネル型pMOSの拡散層を覆うレジストは、SDヒ素が拡散層に入らないようにするため、リンドープポリシリコンゲート電極12のエッジから一定のマージンをもって内側に位置している。

【0038】次に図2(E)に示すように、表面チャネル型pMOSのボロンドープポリシリコンゲート電極13上と拡散層形成領域、埋込チャネル型pMOSの拡散層形成領域、埋込チャネルnMOSのボロンドープポリシリコンゲート電極13上に選択的にSDボロン注入を行う。

【0039】この時、埋込チャネル型pMOSのリンドープポリシリコンゲート電極12を覆うレジスト(ゲート電極へのイオン注入防止用の遮蔽膜となる)は、p<sup>+</sup>ソース/ドレイン領域19がリンドープポリシリコンゲート電極12に対してオフセットにならないようにリンドープポリシリコンゲート電極12のエッジから一定のマージンをもって内側に位置している。

【0040】また、埋込チャネル型nMOSの拡散層を覆うレジストは、SDボロンが拡散層に入らないようにするため、ボロンドープポリシリコンゲート電極13のエッジから一定のマージンをもって内側に位置してい

る。

【0041】次に図2 (F) に示すように、熱処理を行ってヒ素およびボロンの活性化を行う。

【0042】この結果、表面チャネル型nMOSおよび埋込チャネル型nMOSのn<sup>+</sup>ソース/ドレイン領域18、表面チャネル型pMOSおよび埋込チャネル型pMOSのp<sup>+</sup>ソース/ドレイン領域19が形成される。また、表面チャネル型nMOSのリンドープポリシリコンゲート電極12にはSDヒ素が追加されてn<sup>+</sup>ポリシリコンゲート電極14となり、表面チャネル型pMOSのボロンドープポリシリコンゲート電極13にはSDボロンが追加されてp<sup>+</sup>ポリシリコンゲート電極15となり、埋込チャネル型nMOSのボロンドープポリシリコンゲート電極13にはSDボロンが追加されてp<sup>+</sup>ポリシリコンゲート電極16となり、埋込チャネル型pMOSのリンドープポリシリコンゲート電極12にはSDヒ素が追加されてn<sup>+</sup>ポリシリコンゲート電極17となる。

【0043】本実施例の製造方法においても従来の製造方法と同様、埋込チャネル型nMOSのp<sup>+</sup>ポリシリコンゲート電極16の両端にはSDヒ素が注入され、かつSDボロンが注入されない領域が存在する。しかしながら、あらかじめボロンがドーピングされているためこれらの領域はp<sup>+</sup>型を保つことができる。従って、従来の製造方法で見られるようなゲート電極中央と端でのしきい値の相違は生じない。また層抵抗の上昇も見られない。さらにシリサイド化する場合の問題も生じない。同様なことは埋込チャネル型pMOSのn<sup>+</sup>ポリシリコンゲート電極17にも言える。

【0044】また、表面チャネル型nMOSのn<sup>+</sup>ポリシリコンゲート電極14に含まれるn型の不純物量は従来例に比べ多くなる。この結果、n<sup>+</sup>ポリシリコンゲート電極14とpウェル4間に正の電圧を加えて反転層を形成する場合、ゲート絶縁膜10とn<sup>+</sup>ポリシリコンゲート電極14界面においてポリシリコン電極側に広がる空乏層幅を小さくすることができる。この結果ゲート容量が増加しオン電流が増大する。

(第2実施例) 図3及び図4に本発明の第2実施例による表面チャネル型MOSと埋込チャネル型MOSの製造方法を用いた製造工程を示す断面図を示す。

【0045】図3 (A) に示す製造工程は図1 (A) に示す製造工程と全く同様の手順で行われる。

【0046】次に図3 (B) に示すように、犠牲酸化膜3を除去後、ゲート酸化膜10を成長し、さらにボロンドープポリシリコン11を成長した後、フォトリソグラフィ工程を経てレジストをパターニングして表面チャネル型nMOS領域上のボロンドープポリシリコン11、および埋込チャネル型pMOS領域上のボロンドープポリシリコン11中に選択的にリンを注入する。ボロンドープポリシリコン11中のボロン濃度は第1の実施

例よりも高くしておき $2 \times 10^{20} \text{ cm}^{-3}$ とし、リンの注入量も $1 \times 10^{16} \text{ cm}^{-2}$ と高くする。

【0047】次に図3 (C) に示すように、ポリシリコン11をエッチングしてゲート電極を形成するが、表面チャネル型nMOSおよび埋込チャネル型pMOSにはリンドープポリシリコンゲート電極12が、表面チャネル型pMOSおよび埋込チャネル型nMOSにはボロンドープポリシリコンゲート電極13がそれぞれ形成される。

【0048】次に図4 (D) に示すように、表面チャネル型pMOSおよび埋込チャネル型pMOSの全面をレジストで覆った後、表面チャネル型nMOSおよび埋込チャネル型nMOSの全面に選択的にSDヒ素注入を行う。この時、SDヒ素の注入量は $2 \times 10^{15} \text{ cm}^{-2}$ 以下とする。

【0049】次に図4 (E) に示すように、表面チャネル型nMOSおよび埋込チャネル型nMOSの全面をレジストで覆った後、表面チャネル型pMOSおよび埋込チャネル型pMOSの全面を選択的にSDボロン注入を行う。この時、SDボロンの注入量は $2 \times 10^{15} \text{ cm}^{-2}$ 以下とする。

【0050】次に図4 (F) に示すように、熱処理を行ってヒ素およびボロンの活性化を行う。

【0051】この結果、表面チャネル型nMOSおよび埋込チャネル型nMOSのn<sup>+</sup>ソース/ドレイン領域18、表面チャネル型pMOSおよび埋込チャネル型pMOSのp<sup>+</sup>ソース/ドレイン領域19が形成される。また、表面チャネル型nMOSのリンドープポリシリコンゲート電極12にはSDヒ素が追加されてn<sup>+</sup>ポリシリコンゲート電極14となり、表面チャネル型pMOSのボロンドープポリシリコンゲート電極13にはSDボロンが追加されてp<sup>+</sup>ポリシリコンゲート電極15となる。埋込チャネル型nMOSのボロンドープポリシリコンゲート電極13にはSDヒ素が追加されるが、SDヒ素で導入されるヒ素濃度よりも、元々ポリ中にドーブしてあるボロンの濃度が十分高いためp<sup>+</sup>が保たれ、p<sup>+</sup>ポリシリコンゲート電極16となる。また埋込チャネル型pMOSのリンドープポリシリコンゲート電極12にはSDボロンが追加されるが、SDボロンで導入されるボロン濃度よりも、元々ポリ中にドーブしてあるリンの濃度が十分高いためn<sup>+</sup>が保たれ、n<sup>+</sup>ポリシリコンゲート電極17となる。

【0052】以上に示した第2の実施例では、ゲート電極上にレジストを開口したり、残したりする必要がないため、特に微細なゲート長を有する埋込チャネル型MOSが形成しやすいというメリットがある。

【0053】

【発明の効果】以上説明したように、本発明によれば、ゲート電極形成後にゲート電極の導電型と逆導電型の不純物が導入されても、ゲート電極の導電型を維持するこ

とができ、ゲート電極中央と端でのしきい値の相違や、層抵抗の上昇を抑制することができる。さらにシリサイド化する場合の問題も生じない。

【0054】また、表面チャネル型のゲート電極に含まれる不純物量は従来例に比べ多くなるので、例えば $n^+$ ポリシリコンゲート電極とpウェル間に正の電圧を加えて反転層を形成する場合、ゲート絶縁膜と $n^+$ ポリシリコンゲート電極界面においてポリシリコン電極側に広がる空乏層幅を小さくすることができ、この結果ゲート容量が増加しオン電流が増大する。

【図面の簡単な説明】

【図1】本発明の第1実施例による表面チャネル型MOSと埋込チャネル型MOSの製造方法を用いた製造工程を示す断面図である。

【図2】本発明の第1実施例による表面チャネル型MOSと埋込チャネル型MOSの製造方法を用いた製造工程を示す断面図である。

【図3】本発明の第2実施例による表面チャネル型MOSと埋込チャネル型MOSの製造方法を用いた製造工程を示す断面図である。

【図4】本発明の第2実施例による表面チャネル型MOSと埋込チャネル型MOSの製造方法を用いた製造工程を示す断面図である。

【図5】従来の製造方法による表面チャネル型MOSと埋込チャネル型MOSの製造方法の製造工程を示す断面図である。

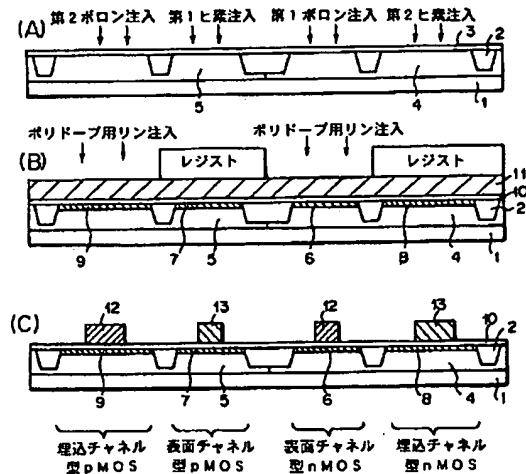
図である。

【図6】従来の製造方法による表面チャネル型MOSと埋込チャネル型MOSの製造方法の製造工程を示す断面図である。

【符号の説明】

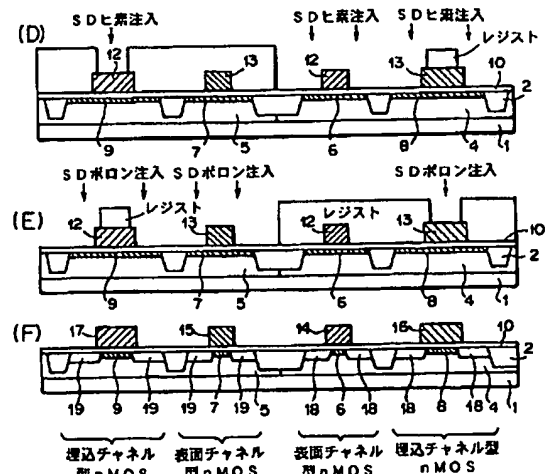
- 1 p型シリコン基板
- 2 素子分離領域
- 3 犠牲酸化膜
- 4 pウェル
- 5 nウェル
- 6 表面チャネル領域
- 7 表面チャネル領域
- 8 埋込チャネル領域
- 9 埋込チャネル領域
- 10 ゲート絶縁膜
- 11 ボロンドープポリシリコン
- 12 リンドープポリシリコンゲート電極
- 13 ボロンドープポリシリコンゲート電極
- 14  $n^+$ ポリシリコンゲート電極
- 15  $p^+$ ポリシリコンゲート電極
- 16  $p^+$ ポリシリコンゲート電極
- 17  $n^+$ ポリシリコンゲート電極
- 18  $n^+$ ソース/ドレイン領域
- 19  $p^+$ ソース/ドレイン領域

【図1】



- 1: p型シリコン基板
- 2: 素子分離領域
- 3: 犠牲酸化膜
- 4: pウェル
- 5: nウェル
- 6: nMOS表面チャネル領域
- 7: pMOS表面チャネル領域
- 8: nMOS埋込チャネル領域
- 9: pMOS埋込チャネル領域
- 10: ゲート絶縁膜
- 11: ボロンドープポリシリコン
- 12: リンドープポリシリコンゲート電極
- 13: ボロンドープポリシリコンゲート電極

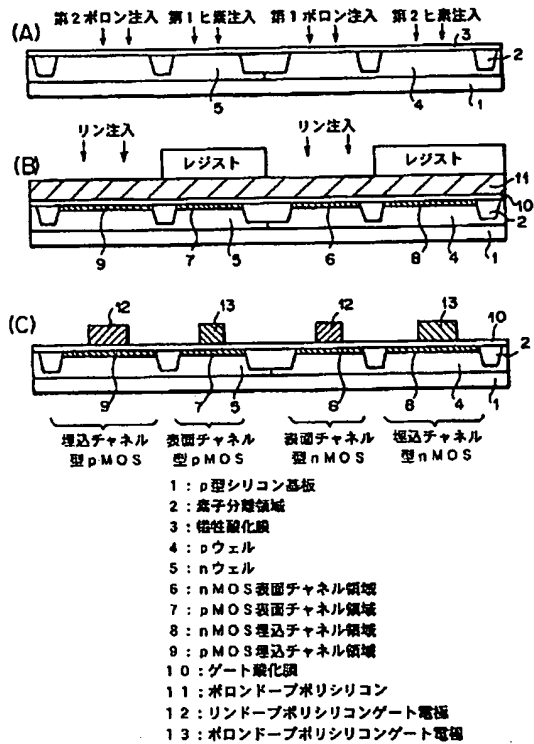
【図2】



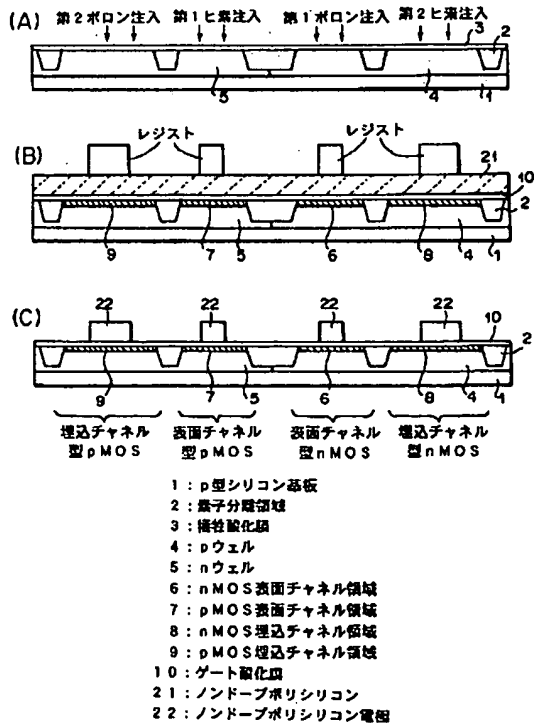
- 1: p型シリコン基板
- 2: 素子分離領域
- 3: 犠牲酸化膜
- 4: pウェル
- 5: nウェル
- 6: nMOS表面チャネル領域
- 7: pMOS表面チャネル領域
- 8: nMOS埋込チャネル領域
- 9: pMOS埋込チャネル領域
- 10: ゲート絶縁膜
- 11: ボロンドープポリシリコン
- 12: リンドープポリシリコンゲート電極
- 13: ボロンドープポリシリコンゲート電極
- 14:  $n^+$ ポリシリコンゲート電極
- 15:  $p^+$ ポリシリコンゲート電極
- 16:  $p^+$ ポリシリコンゲート電極
- 17:  $n^+$ ポリシリコンゲート電極
- 18:  $n^+$ ソース/ドレイン領域
- 19:  $p^+$ ソース/ドレイン領域



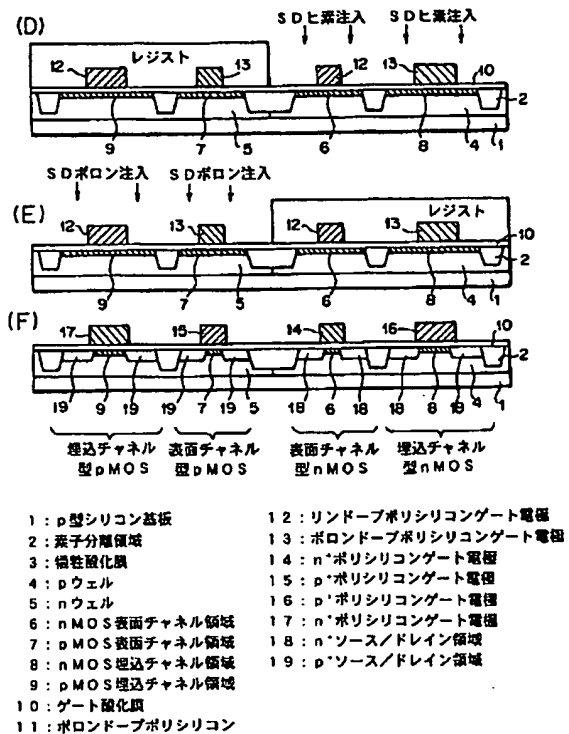
【図3】



【図5】



【図4】



【図6】

